

Sekvenční logika

Petr Jedlička, Cyril Klimeš, Tomáš Pitner

Předmluva

HTML · Slides · PDF | Přehled předmětu

◎ Cíle přednášky

- Seznámit se s principy sekvenční (stavové) logiky.
- Poznat základní logické obvody sekvenční logiky a umět je ve schématu kombinovat do složitějších obvodů
- Základní sekvenční obvody: klopné obvody, registry, posuvné registry, čítače.
- Témata: R-S západka (Reset-Set, R-S latch), Klopný obvod D (Data), Klopný obvod J-K, Paralelní registry, Posuvné (sériové) registry, Západky (latches), Čítače, Časové průběhy

🔑 **Sekvenční logické obvody** si *vždy něco pamatují* (obsah paměti, stav klopného obvodu, registru, hodnotu čítače), mají svůj vnitřní stav — stav na výstupech pak odpovídá jak momentálnímu stavu na vstupech, ale i vnitřnímu stavu.

Co je sekvenční logika?

- také *logika s vnitřním stavem* zahrnuje obvody, jejich výstupní stav (stav na výstupech) nemusí záviset pouze na momentálním stavu na vstupech, ale také na vnitřním stavu obvodu.
- například *klopný obvod typu D* (*Data flip-flop*, *D-flip-flop*) se vstupem dat *D*, hodinovým vstupem *CLK* a výstupem *Q*:
- jeho **stav se změní ve chvíli aktivace hodinovým pulzem `CLK`, jinak zůstává**.



Sekvenční logické obvody tedy mají vnitřní stav, *paměť*.

Typy základních sekvenčních obvodů

Západka (latch)	1bitový paměťový prvek, obvykle **asynchronní** nebo **úrovňově řízený**; typický příklad je **R-S západka**.
Klopný obvod (flip-flop)	1bitový paměťový prvek, obvykle **synchronní** a mění stav při určené **hraně hodinového signálu**.
Registr	(**register**) vícebitová paměť (např. 8-bitová), obvykle složená z více západek nebo klopných obvodů; uchovává jeden vícebitový údaj.
Posuvný registr	(**shift-register**) speciální registr, který umí bity při hodinových pulsech **posouvat**.
Čítač	(**counter**) sekvenční obvod, který uchovává číslo a při hodinových impulsech jej zvyšuje nebosnižuje.



Rozdíl `latch` vs. `flip-flop` je hlavně v řízení změny stavu: **latch** reaguje po dobu aktivní úrovně řídicího signálu, zatímco **flip-flop** typicky jen v okamžiku náběžné nebo sestupné hrany hodin.

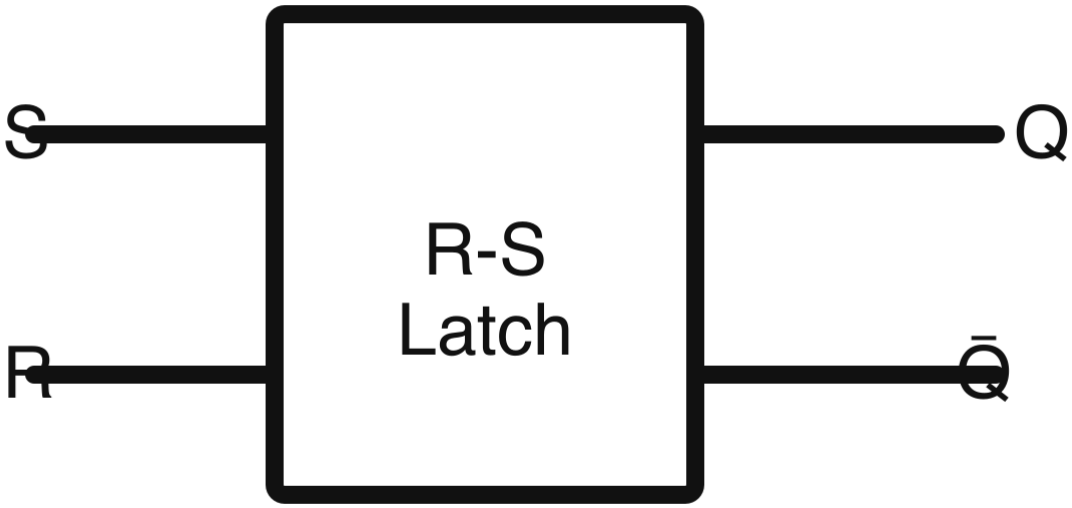
Klopné obvody

- **Klopné obvody** si pamatují stav a obvykle mění výstup v návaznosti na hodinový signál.
- Do širší rodiny 1bitových paměťových prvků patří i **západky** (*latches*), které jsou asynchronní nebo úrovňově řízené.

R-S západka (Reset-Set, R-S latch)

- R-S je základní sekvenční logický obvod, který slouží jako jednobitová paměť.
- Má jeden vstup pro nulování (`R`), jeden pro nastavení do 1 (`S`).
- Přesněji jde o **R-S západku** (*R-S latch*), ne o hranově řízený klopný obvod.
- Je **asynchronní**; na rozdíl od dalšího klopného obvodu D nemá hodinový vstup a jeho výstup se mění okamžitě, když se změní vstup `R` či `S` do aktivní úrovně.
- Kromě výstupu obvykle značeného `Q` mohou mít invertovaný výstup `Q` nesoucí opačnou hodnotu než Q.

Schematická značka R-S



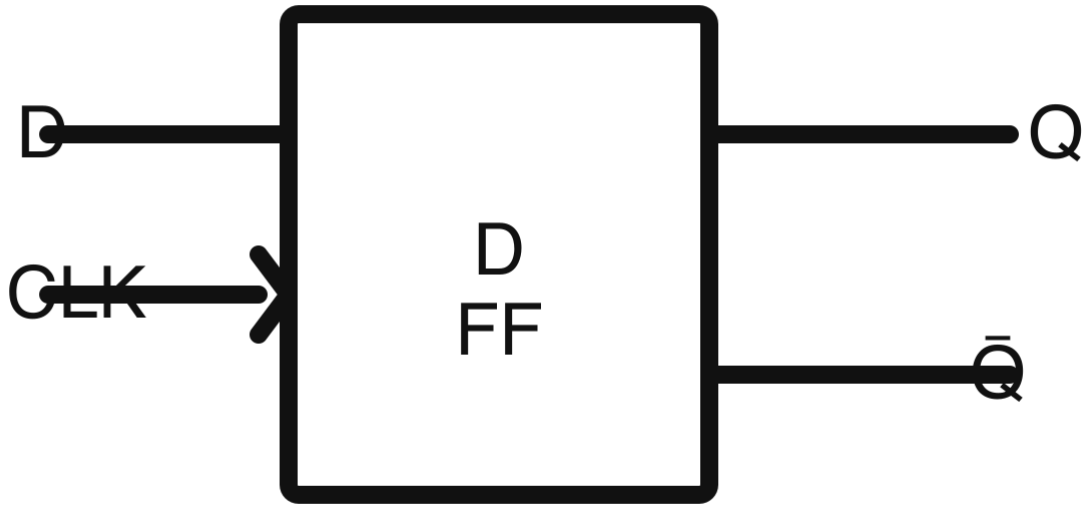
Animace R-S západky

- R-S latch

Klopný obvod D (Data)

- Je **synchronní**; mění se při příchodu hodinového pulsu = při změně signálu CLK.
- Zápis může být iniciován náběžnou (0 → 1) nebo sestupnou (1 → 0) hranou CLK.
- Hodnota přítomná na vstupu D ve chvíli aktivace zápisu se vepíše do registru a na výstup Q.
- Fakticky jde o jednobitový **registr**, pamatuje si 1 bit.

Schematická značka D klopného obvodu



Animace klopného obvodu D

- Klopný obvod D - aktivovaný sestupnou hranou CLK
- Klopný obvod D - aktivovaný vzestupnou hranou CLK
- Konkrétní součástka (Texas Instruments) Quadruple R-S Latch: SN74279

Klopný obvod D se vstupy R-S

- Běžně se používají obvody, které mají jak vstup `D` řízený hodinami (synchronně), tak `R` a `S` chovající se asynchronně (reset či nastavení se provede hned).
- Typický příklad: obvod 7474 z řady TTL logiky je dvojitý klopný obvod D se vstupy R a S.

Pravdivostní tabulka pro D klopný obvod s asynchronním S a R

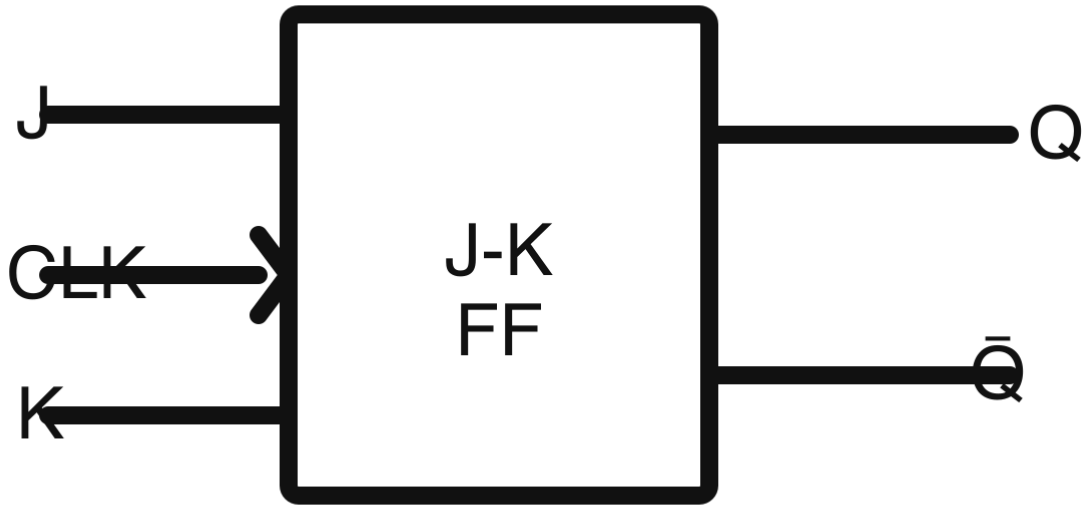
CLK (□)	R	S	D	Q (nový)	Q (nový)	Co se stalo
X	0	X	X	**0**	**1**	Proběhl Reset
X	X	0	X	**1**	**0**	Proběhl Set
□	1	1	0	**0**	**1**	Zapsána 0 s náběžnou hranou hodin
□	1	1	1	**1**	**0**	Zapsána 1 s náběžnou hranou hodin

Pokud jsou S = 0 a R = 0 zároveň, stav je *nedefinovaný*. (Nelze současně resetovat a nastavovat.)

Klopný obvod J-K

- Poměrně univerzální klopný obvod, jenž může funkčně nahradit R-S západku i D klopný obvod.

Schematická značka J-K



J	K	Chování výstupu Q při náběžné hraně hodin
1	0	Výstup Q přejde do logické 1 (nastavení).
0	1	Výstup Q přejde do logické 0 (vynulování).

J	K	Chování výstupu Q při náběžné hraně hodin
1	1	Výstup Q se překlopení do opačného stavu než byl.
0	0	Výstup Q zůstane nezměněn.

Animace klopného obvodu J-K

- animace Klopný obvod J-K
- Konkrétní součástka: 74LS73

Použití klopných obvodů

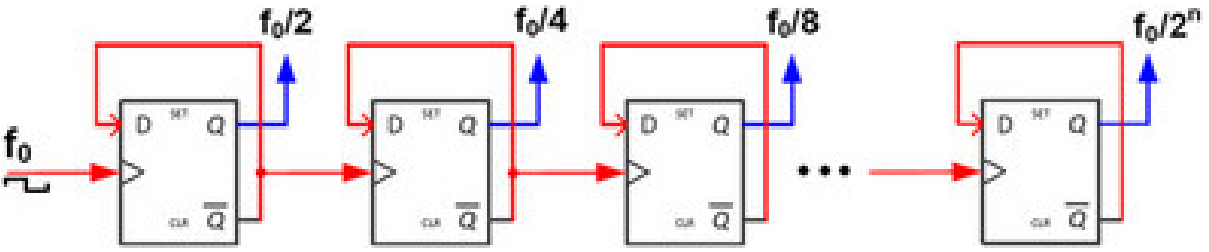
Paměť

zapamatování 1bitového stavu: třeba světlo zapnuto/vypnuto

Dělič

zavedeme-li Q zpět na vstup, vytvoříme dělič hodinové frekvence

- každý hodinový puls obrátí hodnotu na výstupu, protože se za vstupu načte předchozí Q,
- na výstupech *Q1*… dostáváme tak postupně pulzy s frekvencí *f/2*, *f/4*, *f/8* …



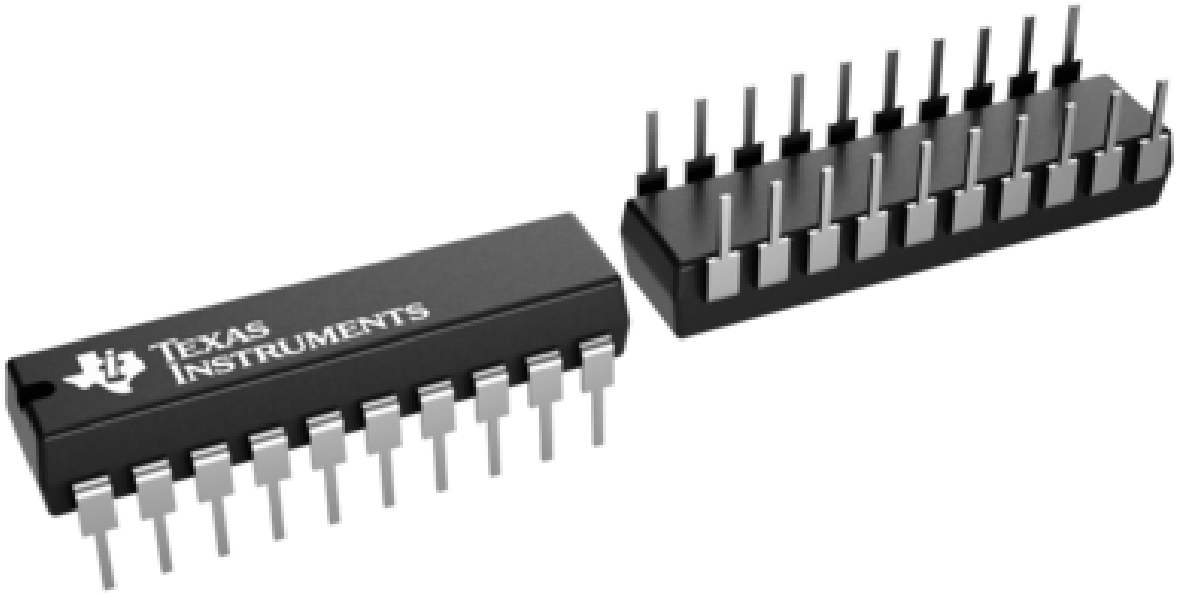
Obr. 1. Credits: Xiong et al. Journal of Biological Engineering (2015) 9:14

Registry

🔑 **Registry** mají určitý počet bitů, které se pamatují — taková elementární paměť na jeden údaj.

Paralelní registry

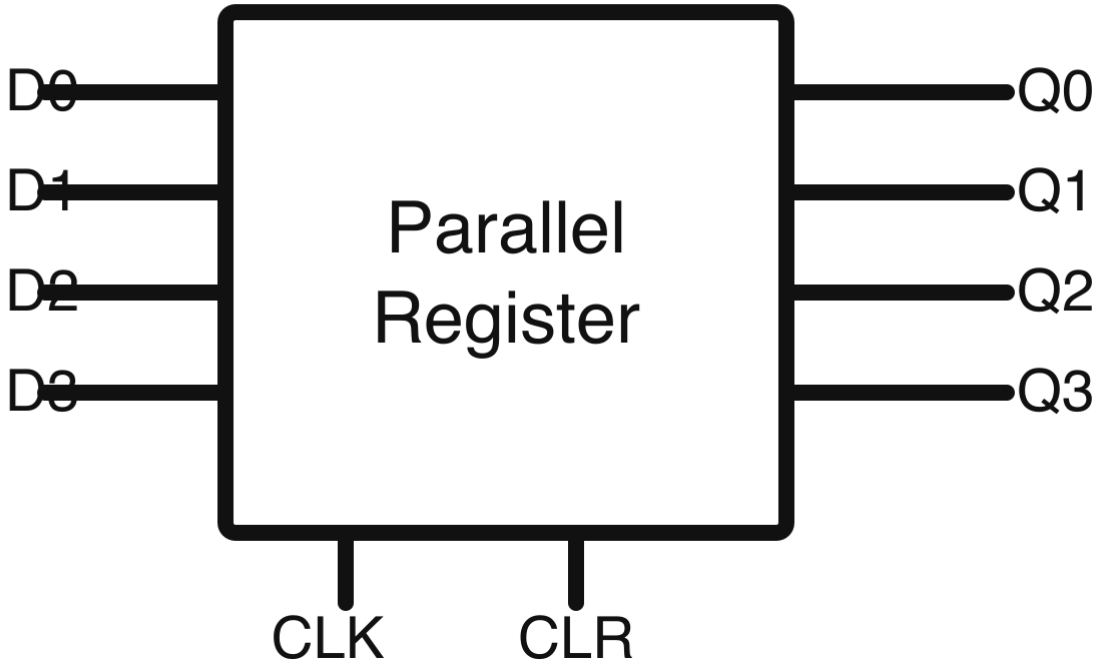
- Klopný obvod RS se dal označit za1bitový registr, pamatuje si 1 bit, viz Klopné obvody
- 1 bit je ale málo, většinou potřebujeme registr na 4, 8, 32 … bitů — tedy**paralelní registr**.
- Registry často mívají třístavové výstupy (tri-state output).



Obr. 2. 8bitový registr s resetem SN74LS273

- SN74LS273: Octal D-Type Flip-Flops With Clear

Schematická značka paralelního registru



Značení obvodů

- SN74LS273 je konkrétní8bitový registr

SN
: je kód, který používá výrobce (Texas Instruments), jinak nic neznamená.

74
: označuje klasickou řadu logických obvodů pro běžné průmyslové použití.

LS
: označuje technologii: *Low-power Schottky*

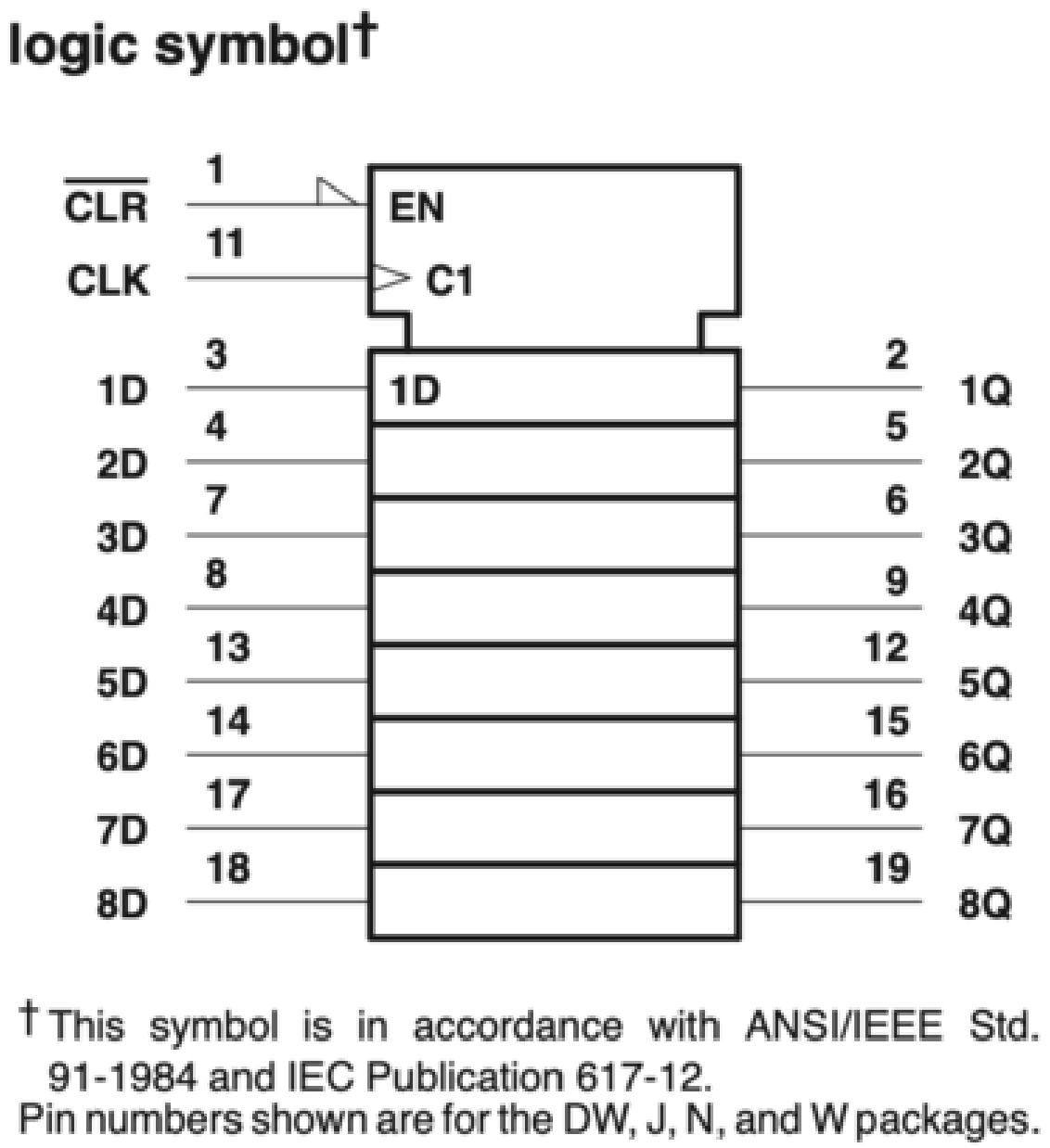
273
: uvádí, že jde o 8bitový registr



54 misto 74 označuje řadu funkčně stejných logických obvodů, ale pro vojenské použití (vyšší odolnost).

Diagram vstupů a výstupů

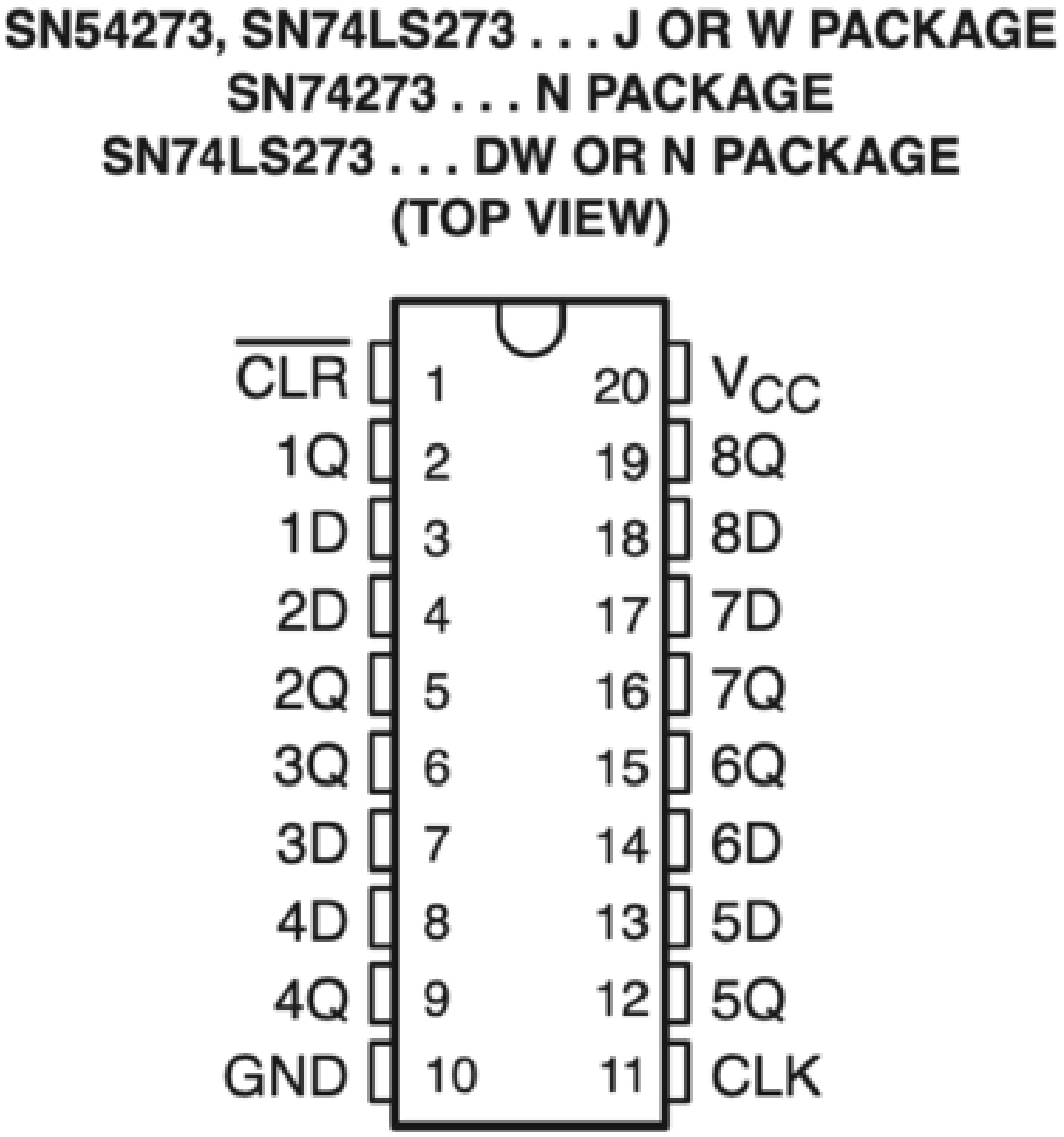
- Dle standarduANSI/IEEE 91-1984 se vstupy a výstupy obvodů znázorňují diagramem, jako je tento.
- Je zde vidět, co je *vstup* (signály *xD* vlevo), co *výstup* (signály *xQ* vpravo)
- V jaké úrovni jsou signály aktivní poznáme podle případného nadtržení označení signálu:
- zde vstup CLR (reset) je aktivní v úrovni L (*active-low*).



Obr. 3. Diagram SN74273

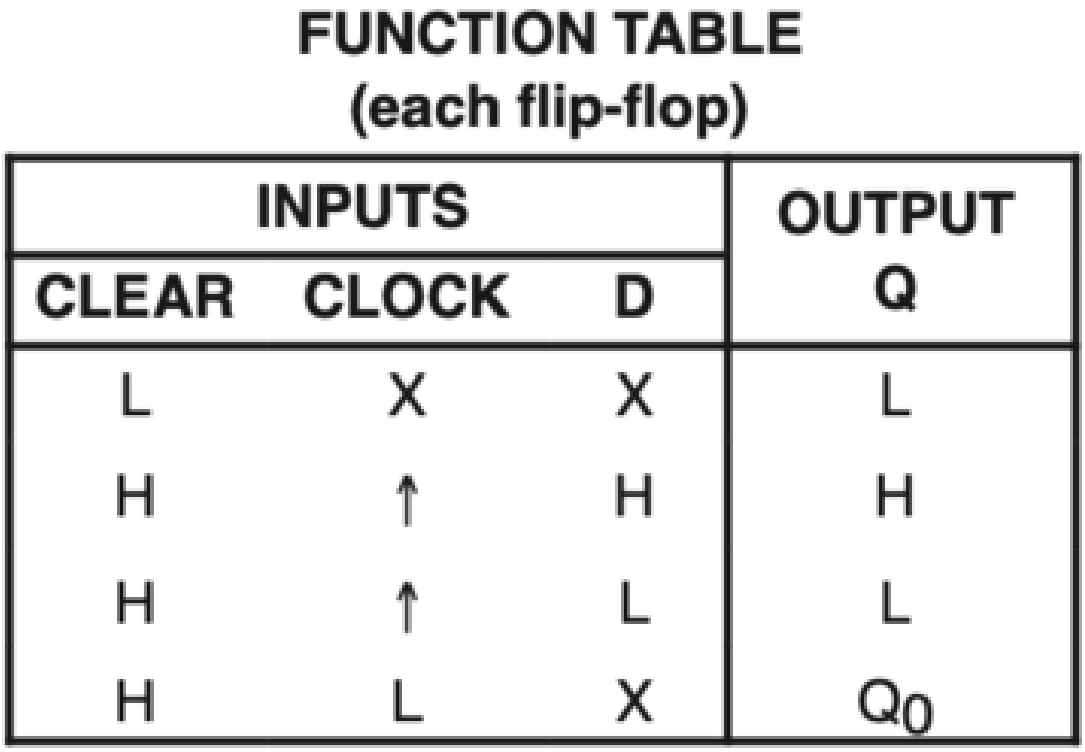
Pouzdro

- Představuje nákres skutečného tvaru pouzdra — zde provedení *DIL 20* (Dual-in-line se 20 vývody).
- Umístění jednotlivých signálů (vstup/výstup, napájení) na vývody odpovídá reálnému výrobku.



Obr. 4. Pouzdro SN74273

SN74273: funkční (pravdivostní) tabulka



FUNCTION TABLE
(each flip-flop)

INPUTS			OUTPUT
CLEAR	CLOCK	D	Q
L	X	X	L
H	↑	H	H
H	↑	L	L
H	L	X	Q_0

Obr. 5. Funkční (pravdivostní) tabulka SN74273

Příklad: registr se třístavovými výstupy

- CD74HCT574
- HIGHSPEED CMOS LOGIC OCTAL D-TYPE FLIP-FLOP 3STATE, POSITIVE-EDGE TRIGGERED

  HIGHSPEED CMOS LOGIC
  : vysokorychlostní CMOS (HCT)

  OCTAL FLIP-FLOP
  : 8-bitový registr

  3STATE
  : se třístavovými výstupy,

  POSITIVE-EDGE TRIGGERED
  : zapisovaný náběžnou hranou hodin

Oproti předchozímu registru vstup `OE`

- oproti předchozímu registru další vstup **OE** (Output Enabled), je *active-low*

  OE = 0
  : pak jsou výstupy **Qi** aktivní a je na nich `0` nebo `1`

OE = 1

pak jsou výstupy **Qi** neaktivní, ve stavu Z (vysoká impedance), tedy odpojené

FUNCTION TABLE

INPUTS			OUTPUT
$\overline{OE}$	CP	D	Q
L	↑	H	H
L	↑	L	L
L	L	X	Q_0
H	X	X	Z

NOTE: H = High voltage level (steady state)
L = Low voltage level (steady state)
X = Don't care
↑ = Transition from low to high level
Q_0 = Level before the indicated steady-state conditions were established
Z = High-impedance state

Obr. 6. CD74HCT574

Posuvné (sériové) registry

- Dva typy posuvných registrů:

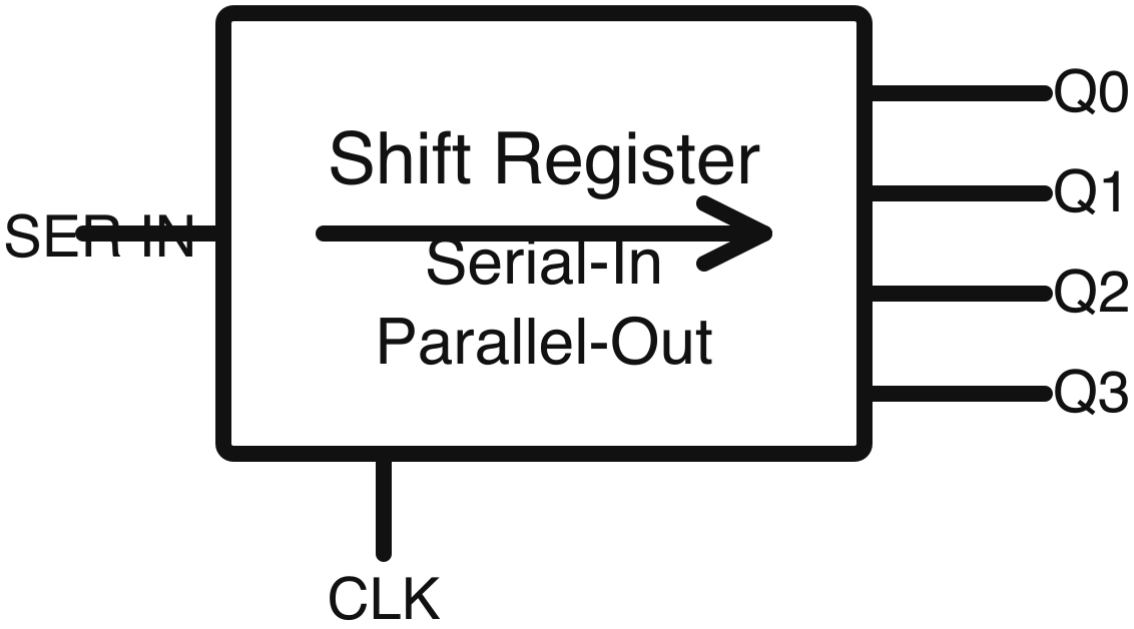
serial-in → parallel-out

krmí se postupně bity a najednou lze přečíst obsah

parallel-in → serial-out

nakrmí se najednou a postupně umí bity vydávat ven

Schematická značka SIPO registru



Sériový (posuvný) registr 74LS164

- Datasheet konkrétního provedení od National Semiconductor 74LS164: 8-Bit Serial In-Parallel Out Shift Registers

Princip činnosti:

- osm klopných obvodů D tvoří řetězec.
- Každý hodinový impuls posune bity směrem k vyšším výstupům.
- Nový bit je přiveden na **A**/**B** (logické AND dvou vstupů).
- Asynchronní **nCLR** (aktivní LOW) vynuluje celý registr.

Vstupy a výstupy 74LS164

Vstupy:

`A, B`
: sériové datové vstupy (AND)

`CLK`
: hodinový vstup (aktivní náběžná hrana)

`nCLR`
: reset (aktivní LOW)

Výstupy:

`Q0 ⋯ Q7`
: paralelní data

Časování a funkce 74LS164

Při náběžné hraně hodin:

1. Hodnota z `A/B` se načte do Q_0.
2. Každé Q_n se přesune do Q_{n+1}.
3. `nCLR` = 0 → všechna `Q` = 0 (asynchronně).

Typické parametry:

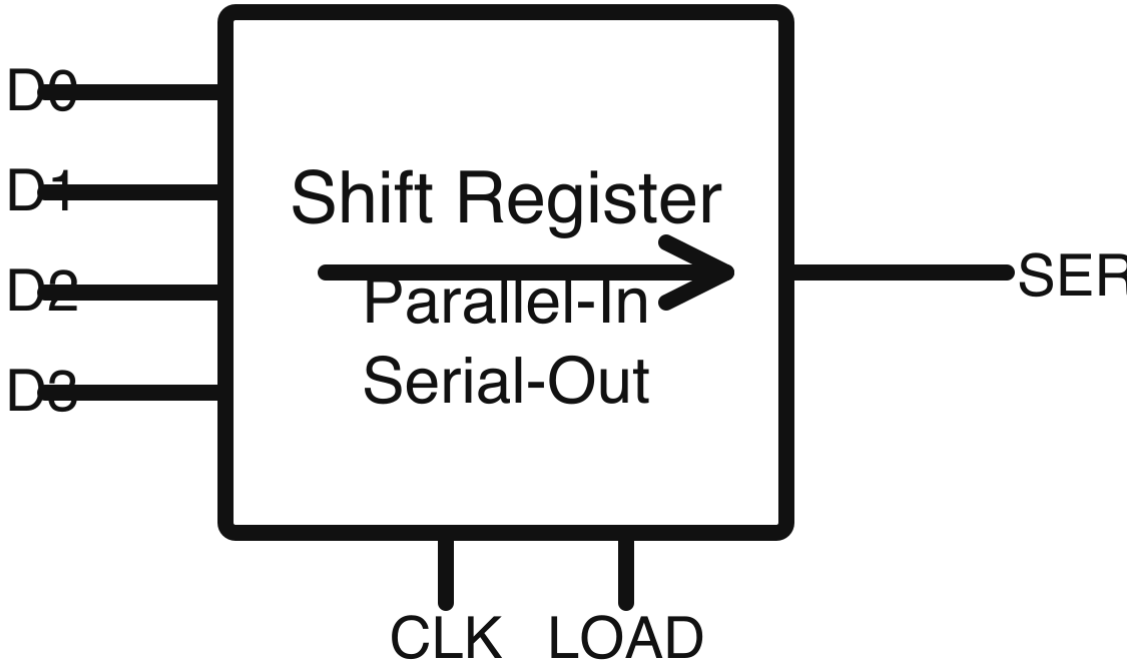
- f_{max} ≈ 25 MHz
- t_{pd}(CLK→Q) ≈ 20 ns (zpoždění mezi hodinovým pulsem a promítnutím na výstup)
- Napájení 5 V TTL

Paralelní registr 74LS165

- Konkrétní součástka SN74165: PARALLEL-LOAD 8-BIT SHIFT REGISTERS
- 8-bitový registr opačné funkce než 74LS164
- Umožňuje **paralelní načtení** 8 bitů a jejich **sériový výstup**.
- `nPL` (Parallel Load) = 0 → vstupy D_0 – D_7 se načtou.
- `CLK` → bity se posouvají doprava, `Q7` → **seriový výstup (Q_h)**.
- `SH/nLD` a `CLK INH` umožňují řídit, kdy se data posouvají.

Vstupy	D_0 – D_7, `nPL`, `CLK`, `CLK INH`, `SER`
Výstupy	Q_h, Q_h (invertovaný)

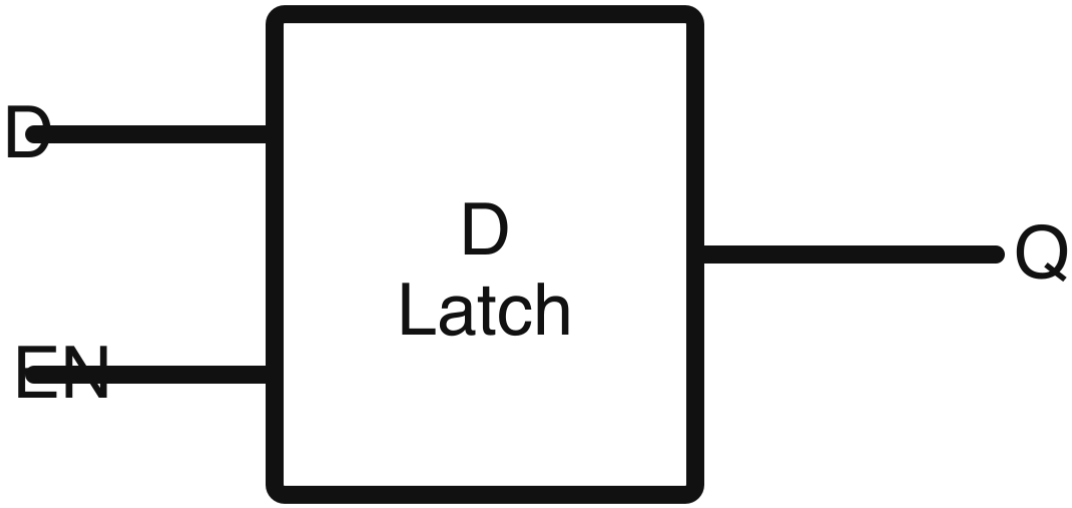
Schematická značka PISO registru


D0
D1
D2
D3
Shift Register
Parallel-In
Serial-Out
SER
CLK
LOAD

Západky (latches)

- Západka (**latch**) nebo alternativně *závora* je 1bitový paměťový prvek, který není hranově synchronní jako typický klopný obvod.
- Základním příkladem je **R-S západka** probíraná v předchozí části.
- Jako samostatné obvody se dělají většinou 8bitové *registry* obsahující tedy 8 *západek*.
- Mohou ale nemusí mít třístavové výstupy.
- Častěji ano kvůli připojení výstupů více obvodů na společnou sběrnici.

Schematická značka D západky



- Příklad: MM74HCT573

Rozdíl klopný obvod D vs západka

Klopný obvod D (**D-Flip-flop**) a **západka** jsou dosti podobné prvky (1-bitové registry) s jedinou principiální odlišností:

Klopný obvod D

- zapamatuje si hodnotu přítomnou na vstupu `D` *v okamžiku aktivace*
- aktivace třeba *náběžnou hranou hodin* (*CLK transition from LOW to HIGH*)

Západka

- *po dobu aktivačního signálu* (`LE` = Latch Enabled) je "průchozí" a hodnota ze vstupu `D` se hned promítá na výstup.

- Jakmile aktivační signál pomine, *zůstává v západce poslední hodnota.*

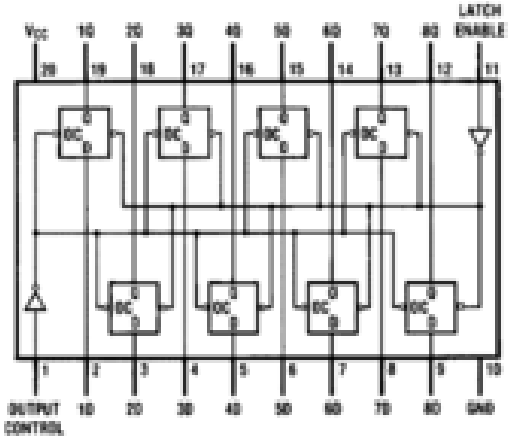


Lze tedy říci, že klopný obvod D je prvek **synchronní** (změna stavu v okamžiku časového pulzu), zatímco západka je **asynchronní** nebo **úrovňově řízená** (změna stavu může proběhnout kdykoli po dobu aktivity povolovacího signálu).

Příklady

- Registr ze západek:MM74HCT573
- onsemi MM74HCT573

Connection Diagrams



Top View
MM74HCT573

Truth Tables

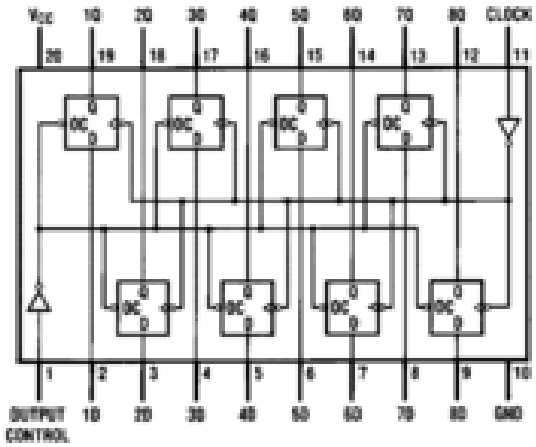
MM74HCT573

Output Control	LE	Data	Output
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

H = HIGH Level
L = LOW Level
Q_0 = Level of output before steady-state input conditions were established.
Z = High Impedance State

Obr. 7. 3-STATE Octal D-Type Latch

- Registr z klopných obvodů:MM74HCT574
- onsemi MM74HCT574



Top View
MM74HCT574

MM74HCT574

Output Control	LE	Data	Output
L	↑	H	H
L	↑	L	L
L	L	X	Q_0
H	X	X	Z

H = HIGH Level
L = LOW Level
Q_0 = Level of output before steady-state input conditions were established.
X = Don't Care
Z = High Impedance State
↑ = Transition from LOW-to-HIGH

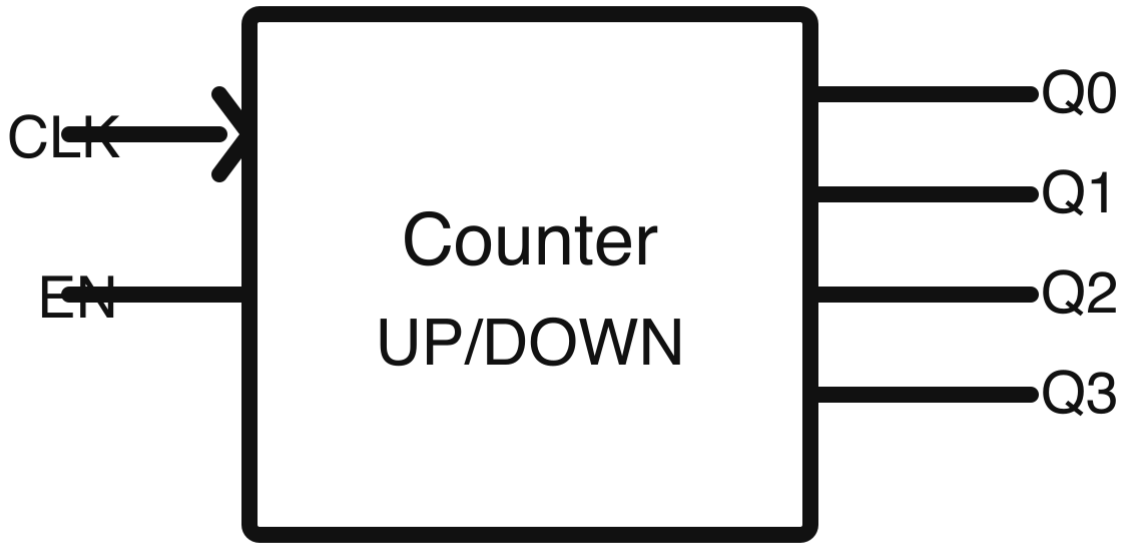
Obr. 8. 3-STATE Octal D-Type Flip-Flop

Čítače

Čítače jsou další ze skupiny základních sekvenčních obvodů.

- V danou chvíli v sobě *drží hodnotu* (číslo) v mezích rozsahu čítače, která je dostupná na výstupech, značených například Q_A až Q_D.
- Nejjednodušší mívají rozsah 4 bity, tzn. $0..2^4-1 = 0..15$.
- Umožňují *čítání nahoru* (přičítání jedničky, inkrementaci, *count up*), někdy i *dolů* (odečítání jedničky *count down*).

Schematická značka čítače



Synchronní čítače

- Čítání se obvykle děje s příchodem *hodinového impulsu*, tj. s jeho náběžnou nebo sestupnou hranou dle dokumentace.
- Některé umí asynchronní (nezávislý) *reset* (vstupy jako `RST`, `CLR`): okamžité vynulování.
- Do některých se dá asynchronně *zapsat hodnota* zadaná na vstupech (`LOAD`, `LD`).
- Takové čítače mohou sloužit i jako *registry*.

Příklad: Čítač SN74LS191

Table 1. Vstupní a výstupní signály čítače SN74LS191

signál	význam
D/U	směr čítání 1 dolů, 0 nahoru
LOAD	načtení hodnoty z datových vstupů
CTEN	count enabled, povolení čítání
A–D	výstupy: A nejnižší bit, D nejvyšší
MAX/MIN	dosaženo maximum/minimum
CLOCK	hodinový vstup
RCO	ripple carry out



Výstup MAX/MIN je aktivní tehdy, je-li dosažena maximální hodnota `15` (1111_2 při čítání nahoru D/U = 0) nebo `0` (0000_2 při čítání dolů `D/U = 1`).

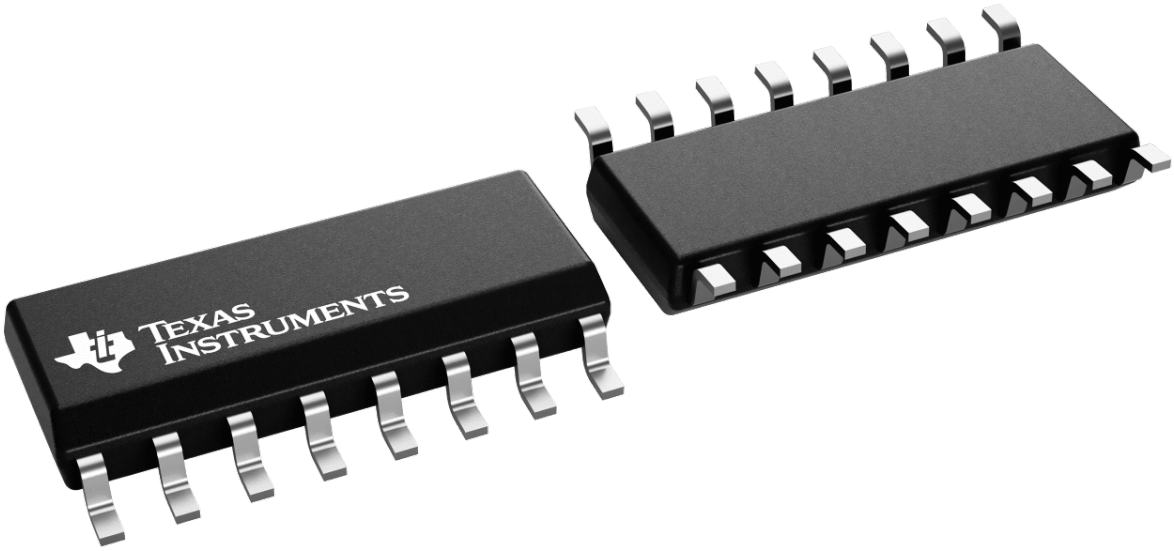
Časové průběhy

Diagramy časových průběhů popisují chování obvodu v modelových situacích:

1. první událostí je aktivace `LOAD = 0`, což způsobí zápis hodnoty 13 (1101_2) ze vstupů `A`..`D`
2. mezitím jsou aktivní `CTEN = 0` (povolení čítání) a `D/U = 0`, což značí čítání nahoru (Up)
3. s příchodem *náběžné* hrany `CLOCK` se výstup zvýší na 14,

1. a s dalším `CLOCK` pulzem na `15` (1111_2), čímž se aktivuje `MAX = 1`
2. s bezprostředně následující *sestupnou* hranou `CLOCK` se aktivuje *ripple carry out* `RCO = 0`, což značí,
3. že s další *náběžnou* hranou `CLOCK` čítač přeteče a vynuluje se. Signál `RCO` lze využít při kaskádovém propojení dvou či více čítačů; pak lze se dvěma počítat namísto `0..15` až `0..255` tedy na *2 * 4 = 8 bitech*.

SN74LS191 v pouzdře SOIC



Datasheet SN74LS191

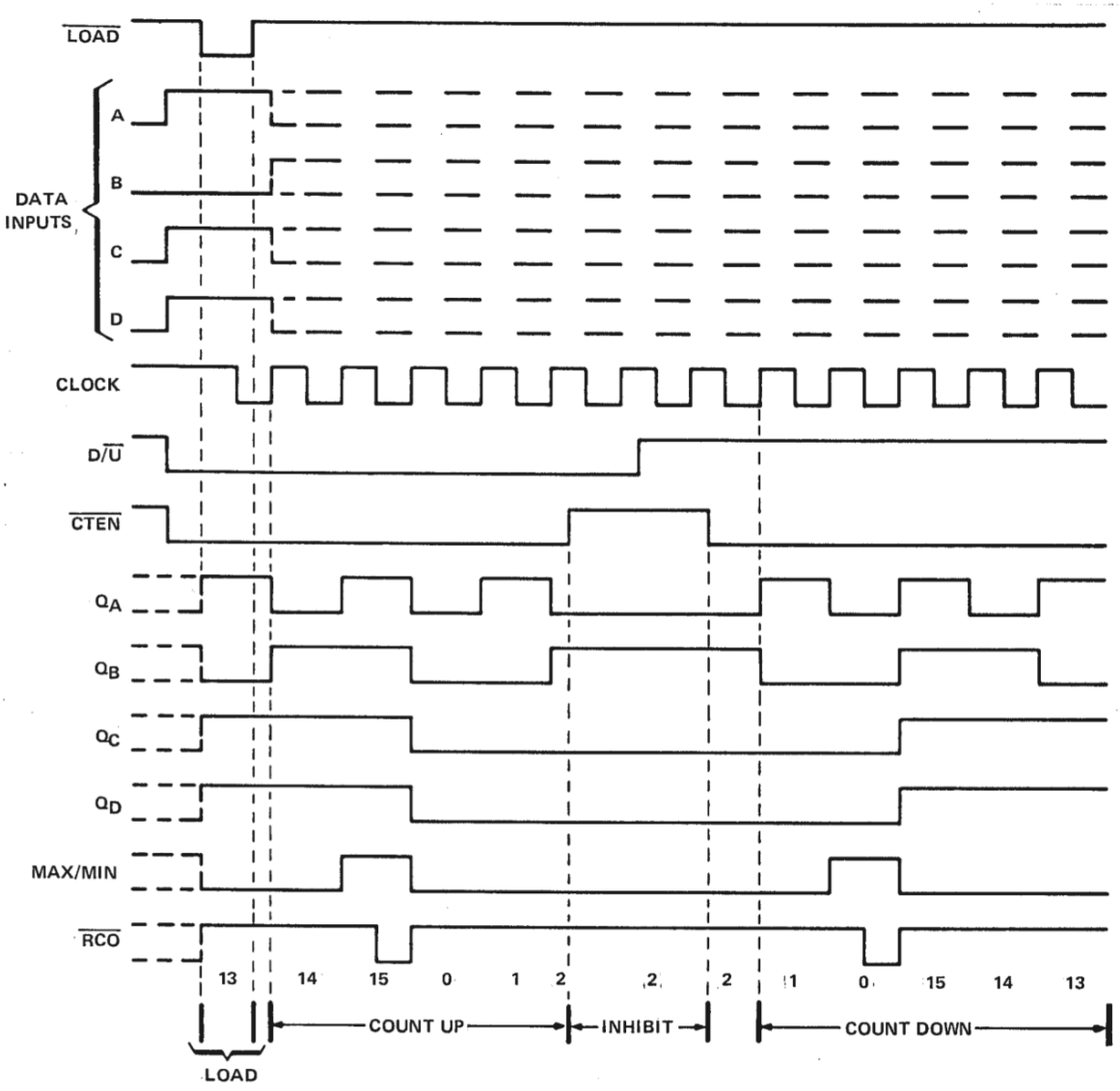
- Diagram časového průběhu čítače

'191, 'LS191 BINARY COUNTERS

pical load, count, and inhibit sequences

Illustrated below is the following sequence:

1. Load (preset) to binary thirteen.
2. Count up to fourteen, fifteen (maximum), zero, one, and two.
3. Inhibit.
4. Count down to one, zero (minimum), fifteen, fourteen, and thirteen.



SN74LS191 (Texas Instruments)

Na další kapitolu: Procesory

HTML · Slides · PDF | Přehled předmětu